



500.43534X00

THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): KAWASAKI, et al.

Serial No.: 10/786,097

Filed: February 26, 2004

Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
THEREOF

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

March 12, 2004

Sir:

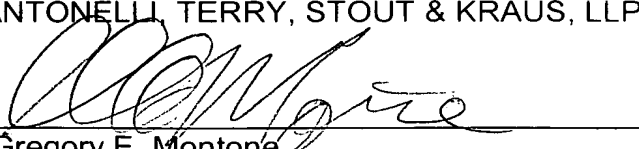
Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on:

Japanese Patent Application No. 2003-321870
Filed: September 12, 2003

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No.: 28,141

GEM/rr
Attachment

日 本 国 特 許 庁
JAPAN PATENT OFFICE

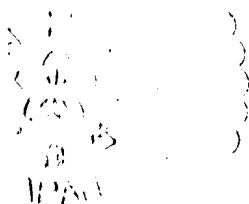
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 1 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 2 1 8 7 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 2 1 8 7 0]

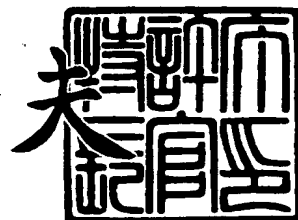
出 願 人 株式会社日立製作所
Applicant(s):



2 0 0 4 年 2 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 3 3 5 0

【書類名】 特許願
【整理番号】 1103014181
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 51/00
【発明者】
 【住所又は居所】 埼玉県比企郡鳩山町赤沼 2 5 2 0 番地
 株式会社 日立製作所 基礎研究所内
 【氏名】 川崎 昌宏
【発明者】
 【住所又は居所】 埼玉県比企郡鳩山町赤沼 2 5 2 0 番地
 株式会社 日立製作所 基礎研究所内
 【氏名】 今関 周治
【発明者】
 【住所又は居所】 埼玉県比企郡鳩山町赤沼 2 5 2 0 番地
 株式会社 日立製作所 基礎研究所内
 【氏名】 安藤 正彦
【特許出願人】
 【識別番号】 000005108
 【氏名又は名称】 株式会社 日立製作所
【代理人】
 【識別番号】 100075096
 【弁理士】
 【氏名又は名称】 作田 康夫
 【電話番号】 03-3212-1111
【手数料の表示】
 【予納台帳番号】 013088
 【納付金額】 21,000円
【その他】 国等の委託研究の成果に係る特許出願（平成 1 5 年度新エネルギー・産業技術総合開発機構（再）委託研究、産業活力再生特別措置法第 3 0 条の適用を受けるもの）
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

絶縁基板上に、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極、及び半導体層を順次積層した薄膜トランジスタを用いた半導体装置において、

前記半導体層は多結晶材料で形成され、前記ソース・ドレイン電極はチャンネル側にテーパ部を有し、チャンネル長方向の前記テーパ幅が、前記ソース・ドレイン電極上の半導体結晶の平均粒径よりも短いことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、チャンネル長方向における前記テーパ部の幅が、50 nm 以下であることを特徴とする半導体装置。

【請求項 3】

請求項 1 において、前記ソース・ドレイン電極のテーパ部の基板に対する角度が45°以上であることを特徴とする半導体装置。

【請求項 4】

請求項 1 において、前記半導体層がアセン系材料であることを特徴とする半導体装置。

【請求項 5】

絶縁基板上に、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極、及び半導体層を順次積層した薄膜トランジスタを用いた半導体装置において、

前記半導体層は多結晶材料で形成され、前記ソース・ドレイン電極のチャンネル側側面のうち、少なくともゲート絶縁膜からの高さが3 nm以下の領域に接する半導体結晶の成長核がゲート絶縁膜上にあることを特徴とする半導体装置。

【請求項 6】

請求項 5 において、前記半導体層がアセン系材料であることを特徴とする半導体装置。

【請求項 7】

絶縁基板上に、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極、及び半導体層を順次積層した薄膜トランジスタを用いた半導体装置において、

前記ソース・ドレイン電極のチャンネル側側面の形状が、基板面に対して上に凸型であることを特徴とする半導体装置。

【請求項 8】

請求項 7 において、前記ソース・ドレイン電極間のチャンネル領域において、前記ゲート絶縁膜と前記半導体層との間に、前記半導体層とは異なる有機化合物層が介在することを特徴とする半導体装置。

【請求項 9】

請求項 7 において、前記ソース・ドレイン電極が金属インクを塗布することで形成されたことを特徴とする半導体装置。

【請求項 10】

請求項 7 において、前記ソース・ドレイン電極間のチャンネル領域において、前記ゲート絶縁膜と前記半導体層との間に介在する、前記半導体層とは異なる有機化合物層が撥水性を有する吸着分子層であることを特徴とする半導体装置。

【請求項 11】

請求項 7 及び請求項 10 において、前記ソース・ドレイン電極間のチャンネル領域において、前記ゲート絶縁膜と前記半導体層との間に介在する、前記半導体層とは異なる有機化合物層が撥水性を有する吸着分子層が単分子膜であることを特徴とする半導体装置。

【請求項 12】

絶縁基板上に、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極、半導体層及び保護絶縁膜を順次積層した薄膜トランジスタを用いた半導体装置において、

前記半導体層は有機化合物で形成され、前記ソース・ドレイン電極は逆テーパ部を有することを特徴とする半導体装置。

【請求項 13】

請求項 12 において、前記ソース・ドレイン電極間のチャンネル領域において、前記ゲー

ト絶縁膜と前記半導体層との間に、前記半導体層とは異なる有機化合物層が介在することを特徴とする半導体装置。

【請求項 14】

請求項 12 において、前記ソース・ドレイン電極が金属インクを塗布することで形成されたことを特徴とする半導体装置。

【請求項 15】

請求項 12 において、前記ソース・ドレイン電極間のチャネル領域において、前記ゲート絶縁膜と前記半導体層との間に介在する、前記半導体層とは異なる有機化合物層が撥水性を有する吸着分子層であることを特徴とする半導体装置。

【請求項 16】

請求項 2 及び請求項 15 において、前記ソース・ドレイン電極間のチャネル領域において、前記ゲート絶縁膜と前記半導体層との間に介在する、前記半導体層とは異なる有機化合物層が撥水性を有する吸着分子層が単分子膜であることを特徴とする半導体装置。

【請求項 17】

絶縁基板上に、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極、及び半導体層を順次積層した半導体装置において、前記ソース・ドレイン電極と前記半導体層との間には、前記半導体層とは異なる有機化合物層が介在し、その介在する有機物層の平均膜厚が 1 Å 以上 10 Å 以下であることを特徴とする半導体装置。

【請求項 18】

請求項 17 において、前記ソース・ドレイン電極と前記半導体層との間に介在する有機化合物はチオール基を有することを特徴とする半導体装置。

【請求項 19】

請求項 17 において、前記ソース・ドレイン電極と前記半導体層との間に介在する有機化合物はアルカンチオールであることを特徴とする半導体装置。

【請求項 20】

請求項 17 において、前記ソース・ドレイン電極は金、銀、銅、白金、パラジウム、スズ或いはこれらの金属を含む合金または混合物からなることを特徴とする半導体装置。

【請求項 21】

請求項 17 において、前記ソース・ドレイン電極と前記半導体層との間に介在する有機化合物層の影響による、前記ソース・ドレイン電極の仕事関数の減少量が 0.2 eV 以下であることを特徴とする半導体装置。

【請求項 22】

絶縁基板上に、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極、半導体層及び保護絶縁膜を順次積層した薄膜トランジスタを用いた半導体装置において、

前記ソース・ドレイン電極と前記半導体層との間に介在する有機化合物層の厚さが、前記有機化合物層を形成する分子長の 2 分の 1 以下であることを特徴とする半導体装置。

【請求項 23】

請求項 22 において、前記ソース・ドレイン電極と前記半導体層との間に介在する有機化合物はチオール基を有することを特徴とする半導体装置。

【請求項 24】

請求項 22 において、前記ソース・ドレイン電極と前記半導体層との間に介在する有機化合物はアルカンチオールであることを特徴とする半導体装置。

【請求項 25】

請求項 22 において、前記ソース・ドレイン電極は金、銀、銅、白金、パラジウム、スズ或いはこれらの金属を含む合金または混合物からなることを特徴とする半導体装置。

【請求項 26】

請求項 22 において、前記ソース・ドレイン電極と前記半導体層との間に介在する有機化合物層の影響による、前記ソース・ドレイン電極の仕事関数の減少量が 0.2 eV 以下であることを特徴とする半導体装置。

【書類名】明細書

【発明の名称】半導体装置およびその作製方法

【技術分野】

【0001】

本発明は、薄膜トランジスタの性能向上に関する。特に、電極／半導体界面に生じるコンタクト抵抗の低減方法に関する。

【背景技術】

【0002】

情報化の進展に伴い、紙に代わる薄くて軽い電子ペーパーや、商品1つ1つを瞬時に識別可能なIDタグ等の開発が注目されている。現行では、これらのデバイスにアモルファスシリコン（a-Si）や多結晶シリコン（p-Si）を半導体を用いた薄膜トランジスタ（TFT）をスイッチング素子として使用している。しかし、これらのシリコン系半導体を用いたTFTを作製するには、高価なプラズマ化学気相成長（CVD）装置やスパッタリング装置等が必要なために製造コストがかかるうえに、真空プロセス、フォトリソグラフィ、加工等のプロセスをいくつも経るため、スループットが低いという問題がある。

【0003】

このため、プリント形成ができ、安価に製品を提供することが可能な、有機材料を半導体層に用いた有機TFTが注目されている。特開2000-307172号公報では、典型的な有機TFTの構造として、ボトムコンタクト構造が開示されている。一般的に有機半導体材料は、耐薬品性、耐熱性が無機半導体に比べて劣ることが知られているが、電極や絶縁膜は高温プロセス及びウエットエッチング、または、塗布プロセスによって形成される。このため、有機半導体と電極用の金属や絶縁膜等の別の有機材料が混在する有機TFTでは、各層を形成するプロセス時に、有機半導体膜が劣化する懸念がある。こうした点から、絶縁基板上にゲート電極、ゲート絶縁膜、ソース・ドレイン電極を形成した後、有機半導体層を形成するボトムコンタクト構造が有機TFTに適している。

【0004】

また、IEEE TRANSACTION ON ELECTRON DEVICE, VOL.48, NO.6 p.1060には、ボトムコンタクト構造の有機TFTにおいて、金のソース・ドレイン電極をチオールの自己組織化単分子膜（SAM）で修飾することにより、金の表面エネルギーを変化させると同時に、電極上に成長するペンタセンの結晶粒径を大きくし、TFTの移動度を向上させることが報告されている。

【0005】

【非特許文献1】IEEE TRANSACTION ON ELECTRON DEVICE

【発明の開示】

【発明が解決しようとする課題】

【0006】

上記のようなボトムコンタクト構造では、半導体層をペンタセン等の多結晶成長する有機材料で形成した場合、ソース・ドレイン電極上では絶縁膜上に比べて半導体結晶のサイズが1桁以上小さくなる。その結果、ソース・ドレイン電極と半導体の境界近傍のチャネル領域に多数の結晶粒界が介在し、ソース・ドレイン電極／半導体界面のコンタクト抵抗が増加するという問題がある。ここで、ゲート電極に印加される電圧の極性、及び大きさに応じて、ソース電極とドレイン電極との間にあり、ゲート電極上部のゲート絶縁層と有機半導体層の界面におけるキャリアが蓄積状態あるいは空乏状態となり、ソース電極とドレイン電極間の電流を変調する。上記厚さ約10nmの電流経路がチャネルである。

【0007】

また、金上をチオールのSAMで密に修飾した場合には、金の仕事関数が0.5eV程度低下し、金／ペンタセン界面のショットキー障壁が増加するという問題がある。更に、オクタデカンチオール等の分子長が長い分子で金電極を修飾した場合には、金とペンタセン間の距離が長くなり、電極から半導体へのキャリア注入が妨げられるという問題がある。

【0008】

本発明の目的は、ボトムコンタクト構造有機TFTのソース・ドレイン電極／半導体界面のコンタクト抵抗を低減し、それをスイッチング素子に用いた高性能半導体装置の提供にある。

【課題を解決するための手段】**【0009】**

本発明は、前記目的を達成するために、絶縁基板上に、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極、半導体層及び保護絶縁膜を順次積層したスイッチング素子を用いた半導体装置において、前記半導体層は多結晶材料で形成され、前記ソース・ドレイン電極はテーパー部を有し、チャンネル長方向における前記テーパー部の長さは、前記ソース・ドレイン電極上の半導体結晶の平均粒径よりも短いことを特徴とした。

【0010】

また、絶縁基板上に、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極、及び半導体層を順次積層した薄膜トランジスタを用いた半導体装置において、

前記半導体層は多結晶材料で形成され、前記ソース・ドレイン電極のチャンネル側側面のうち、少なくともゲート絶縁膜からの高さが3 nm以下の領域に接する半導体結晶の中心がゲート絶縁膜上にあることを特徴とした。

【0011】

また、絶縁基板上に、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極、半導体層及び保護絶縁膜を順次積層したスイッチング素子を用いた半導体装置において、前記ソース・ドレイン電極のチャンネル側側面の形状が、基板面に対して上に凸型であることを特徴とした。

【0012】

また、絶縁基板上に、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極、半導体層及び保護絶縁膜を順次積層したスイッチング素子を用いた半導体装置において、前記ソース・ドレイン電極は逆テーパー部を有することを特徴とした。

【0013】

また、絶縁基板上に、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極、半導体層及び保護絶縁膜を順次積層したスイッチング素子を用いた半導体装置において、前記ソース・ドレイン電極と前記半導体層との間には、前記半導体層とは異なる有機化合物層が介在し、その介在する有機物層の平均膜厚が1 Å以上10 Å以下であることを特徴とした。

【0014】

また、絶縁基板上に、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極、半導体層及び保護絶縁膜を順次積層した薄膜トランジスタを用いた半導体装置において、

前記ソース・ドレイン電極と前記半導体層との間に介在する有機化合物層の厚さが、前記有機化合物層を形成する分子長の2分の1以下であることを特徴とした。

【発明の効果】**【0015】**

本発明によって、ボトムコンタクト型有機TFTの電極／半導体界面に生じるコンタクト抵抗を低減することにより、電流量をa-Si TFT並に向上させることが可能になり、表示装置、IDタグ、センサー等の半導体装置を低コストで提供できる。

【発明を実施するための最良の形態】**【0016】**

以下に図面を用いて本発明の実施の形態を詳細に説明する。

【実施例1】**【0017】**

図1～図4を用いて本発明の第1の実施例について説明する。図1に、本発明を用いたボトムコンタクト有機TFTの断面概略図を示す。絶縁基板101としてガラス基板を用い、その上に厚さ100 nmのクロムをスパッタ成膜後、フォトリソグラフィー法でゲー

ド電極 102 を形成した。絶縁基板 101 には、絶縁性の材料であれば広い範囲から選択することが可能である。具体的には、ガラス、石英、アルミナ焼結体等の無機材料や、ポリイミド膜、ポリエステル膜、ポリエチレン膜、ポリフェニルレンスルフィド膜、ポリパラキシレン膜等の絶縁プラスチック、及びこれら無機材料と絶縁プラスチックとを組み合わせさせたハイブリッド基板等が使用可能である。ゲート電極 102 には、タンタル、アルミニウム、金、銀、銅、白金、パラジウム、クロム、モリブデン、ニッケル等や、これらの金属を用いた合金、ポリアニリン、ポリピロール、ポリ-3, 4-エチレンジオキシチオフェン (PEDOT) 等の導電性高分子が使用可能である。インクジェットや印刷法、もしくはフォトリソグラフィ法を用いてパターン形成する。

【0018】

次に、厚さ 300 nm の SiN を CVD で成膜し、ゲート絶縁膜 103 を形成した。ゲート絶縁膜 103 には、例えばゲート電極 102 にタンタルやアルミニウムを用いた場合には、ゲート電極 102 を陽極酸化して得られる酸化タンタル、酸化アルミニウムを用いても良いし、CVD によって SiO₂ 等を形成しても良い。また、ポリイミド、ポリビニルフェノール (PVP)、ポリビニルアルコール (PVA)、酸化ケイ素等を塗布し、120℃～300℃で焼成しても構わない。次に、ネガ型のレジストを 3000 rpm で厚さ 4 μm にスピコートし、90℃, 90 s 焼成、5～250 mJ で露光、現像後、110℃, 60 s 焼成すると逆テーパのエッジをもったレジストパターンが形成される。次に、厚さ 1 nm のクロム、及び厚さ 100 nm の金を前記レジストパターン上に順次蒸着し、リフトオフ法によってテーパ領域のついたソース電極 104、及びドレイン電極 105 を形成した。ソース電極 104、及びドレイン電極 105 の材料には、有機半導体とのショットキー障壁を減らすため、仕事関数が 4.5 eV 以上の金、銀、銅、白金、パラジウム、クロム、モリブデンやそれらの合金、もしくは、ITO、IZO や PEDOT 等を用いることが望ましい。最後に、厚さ 50 nm のペンタセンを 2×10^{-6} の雰囲気下、1 Å/s で蒸着し、半導体層 106 を形成した。半導体層 106 は可溶性のペンタセン誘導体を塗布後、焼成して形成しても良いし、多結晶構造を形成するものであれば、ペンタセン以外の有機半導体材料を用いても良い。図 1 に示したように、チャンネル長は、ソース電極 104 の端からドレイン電極 105 の端までの距離で定義される。テーパ幅は、電極上面の基板に対して水平な面のチャンネル側端部から基板に対して垂線を引き、電極下面との交点から電極下面のチャンネル側端までの距離とした。図 2 に、ソース・ドレイン電極上及びゲート絶縁膜上の核成長したペンタセン結晶の表面形状 (AFM 像) を示す。本実施例の条件では、テーパ上も含めてソース・ドレイン電極上の核から成長するペンタセンの結晶粒径は約 50 nm である。ここで、結晶粒径は、基板に対して水平方向の結晶断面の最長径と定義した。一方、ゲート絶縁膜の核から成長するペンタセン結晶は、1 μm 程度のサイズで樹状になる。

【0019】

図 3 に、前記プロセスで作成した、チャンネルと平行方向のテーパ幅が異なる 2 種類の TFT のコンタクト抵抗のゲート電圧 V_g 依存性を示す。テーパ幅はネガレジストの露光エネルギーを変えて、約 20 nm～約 600 nm にした。ネガレジストの露光エネルギーを大きくする程、ネガレジストの逆テーパ角が緩慢になるため、電極のテーパ角が急峻になり、テーパ部の長さを短くすることができる。またテーパ幅は、電極を蒸着する際の基板と蒸着源との位置によっても変化させることができる。コンタクト抵抗は、チャンネル長が 5 μm～400 μm の素子を作成し、縦軸にソース・ドレイン間電圧 $V_{ds} = -20$ V、ゲート電圧 $V_g = -20, -30, -40, -50, -60$ V におけるソース・ドレイン間電流 I_{ds} を、横軸にチャンネル長 L を取り、直線上に乗ったプロットの縦軸切片から求めた。テーパ幅が短い TFT はテーパ幅が長い TFT に比べてコンタクト抵抗が低く、特に $|V_g|$ が低い程、その傾向が顕著になる。

【0020】

テーパ幅が短い TFT では、図 4 (a) に示すように、ソース・ドレイン電極のチャンネル側側面のうち、チャンネルを形成するゲート絶縁膜からの高さが 10 nm 以下の領域に

接する半導体結晶が、ゲート絶縁膜上の核から成長する。それに対してテーパー幅が長いTF Tでは、図4 (b) に示すように、ソース・ドレイン電極のチャンネル側側面のうち、チャンネルを形成するゲート絶縁膜からの高さが10 nm以下の領域に接する半導体結晶の一部が、電極上の核から成長する。このため、テーパー幅が長いTF Tでは、ソース電極・ドレイン電極近傍で、キャリアをトラップする結晶粒界の数が多くなるため、テーパー幅が短いTF Tに比べてソース・ドレイン電極／半導体界面のコンタクト抵抗が高くなる。チャンネル長方向の前記テーパー幅を、前記ソース・ドレイン電極上の半導体結晶の平均粒径よりも短くすることにより、チャンネルを形成するゲート絶縁膜からの高さが10 nm以下の領域に接する半導体結晶をゲート絶縁膜上の核から成長させることができる。本実施例では、電極上に成長する結晶サイズが約50 nmであることから、テーパー部幅は50 nm以下にすることが望ましい。また、ソース・ドレイン電極が理想的な厚さである50～100 nmの場合、ソース・ドレイン電極のテーパー角 θ は45°以上であることが望ましい。

【実施例2】

【0021】

図5、図6を用いて本発明の第2の実施例について説明する。図5に、本発明に関わる半導体装置の第2の実施例の断面概略図を示す。絶縁基板101としてガラス基板を用い、その上に厚さ100 nmのクロムをスパッタ成膜後、フォトリソグラフィー法でゲート電極102を形成した。絶縁基板101には、第1の実施例と同様に、絶縁性の材料であれば広い範囲から選択することが可能である。ゲート電極102についても第1の実施例と同様に、他の金属やそれら金属を用いた合金、導電性高分子等が使用可能である。形成方法はインクジェットや印刷法、もしくはフォトリソグラフィー法等、いずれを用いてもよい。次に、厚さ300 nmのSiO₂をCVDで成膜し、ゲート絶縁膜103を形成した。ゲート絶縁膜103についても第1の実施形態と同様に、例えばゲート電極102にタンタルやアルミニウムを用いた場合には、ゲート電極102を陽極酸化して得られる酸化タンタル、酸化アルミニウムを用いても良いし、CVDによってSiN等を形成しても良い。また、ポリイミド、ポリビニルフェノール (PVP)、ポリビニルアルコール

(PVA)、ポリメチルメタクリレート (PMMA)、酸化ケイ素等を塗布し、120℃～300℃で焼成しても構わない。次に、ゲート絶縁膜103上のうち、ゲート電極直上のチャンネル領域になる部分に1 mMol/lのオクタデシルチオールシラン(OTS)を塗布し、クロロホルムでリンスして、撥水性の吸着分子層501を形成した。吸着分子層501は撥水性のものであればOTSに限らない。次に、トルエンに溶かした平均粒径数10 nmの金ペーストを単分子層107の両端に塗布し、200℃、1 h、ホットプレート上での基板加熱より焼結させ、ソース電極104、及びドレイン電極105を形成した。ソース・ドレイン電極はパラジウム、銀、銅、白金、タンタル、インジウム、スズ、亜鉛、アルミニウム等から選択することが可能で、1種類からなる微粒子、または2種類以上からなる合金微粒子を用いることができる。微粒子の平均粒径は数nm～数10 nmであることが望ましい。溶剤はキシレン、トルエン、エチルベンゼン、メシチレン等を用いる。最後に、厚さ50 nmのペンタセンを 2×10^{-6} の雰囲気下、1 Å/sで蒸着し、半導体層106を形成した。半導体層106には、ペンタセン等のアセン系材料の他、フルオレンーバイチオフェン(F8T2)等のフルオレン系材料、ヘキシルチオフェン(P3HT)等のチオフェン系材料等、全ての半導体材料を用いることができる。撥水膜端に金ペーストを塗布・焼成したことにより、図5のように電極端部を凸型のテーパーにすることができた。これにより、撥水膜なしの場合に比べてコンタクト抵抗が減少した。金属インクの表面張力と粘性、及び吸着分子層の表面エネルギーをそれぞれ調整することにより、図6のように逆テーパー形状のソース・ドレイン電極を形成することも可能であり、この場合もコンタクト抵抗を低減することができた。

【実施例3】

【0022】

図7～図10を用いて本発明の第3の実施例について説明する。図7に、本発明に関わ

る半導体装置の第3の実施例の断面概略図を示す。絶縁基板101としてガラス基板を用い、その上に厚さ100 nmのクロムをスパッタ成膜後、フォトリソグラフィ法でゲート電極102を形成した。絶縁基板101には、第1の実施形態と同様に、絶縁性の材料であれば広い範囲から選択することが可能である。ゲート電極102についても第1の実施形態と同様に、他の金属やそれら金属を用いた合金、導電性高分子等が使用可能である。形成方法はインクジェットや印刷法、もしくはフォトリソグラフィ法等、いずれを用いてもよい。次に、厚さ300 nmのSiNをCVDで成膜し、ゲート絶縁膜103を形成した。ゲート絶縁膜103についても第1の実施形態と同様に、例えばゲート電極102にタンタルやアルミニウムを用いた場合には、ゲート電極102を陽極酸化して得られる酸化タンタル、酸化アルミニウムを用いても良いし、CVDによってSiO₂等を形成しても良い。また、ポリイミド、ポリビニルフェノール(PVP)、ポリビニルアルコール(PVA)、酸化ケイ素等を塗布し、120℃~300℃で焼成しても構わない。次に、ネガ型のレジストを3000 rpmで厚さ4 μmにスピコートし、90℃、90 s焼成、30 mJで露光、現像後、110℃、60 s焼成すると逆テーパのエッジをもったレジストパターンが形成される。次に、厚さ1 nmのクロム、及び厚さ100 nmの金を前記レジストパターン上に順次蒸着し、リフトオフ法によってテーパ領域のついたソース電極104、及びドレイン電極105を形成した。ソース・ドレイン電極は硫黄原子と共有結合するものであれば、銀、銅、白金、パラジウム、スズ等の金属、或いはこれらの金属を含む合金または混合物を用いても良い。次に基板を0.1 mMol/lのオクタデカンチオール溶液に1分間浸液後、クロロホルムでリンスして、ソース電極104、及びドレイン電極105上に吸着分子層701を形成した。吸着分子層701には、チオール基(-SH)を有するものであれば、全て用いることができる。最後に、厚さ50 nmのペンタセンを 2×10^{-6} の雰囲気下、1 Å/sで蒸着し、半導体層106を形成した。半導体層106には、ペンタセン等のアセン系材料の他、F8T2等のフルオレン系材料、P3HT等のチオフェン系材料等、全ての半導体材料を用いることができる。

【0023】

図8に、金電極の仕事関数、及び接触角の0.1 mMol/lのオクタデカンチオール溶液への浸液時間依存性を示す。オクタデカンチオール溶液への浸液前は約4.8 eVである金電極の仕事関数の変化は、浸液時間が 10^3 sまでは微小だが、浸液時間が 10^3 sを超えると急激に減少し、4日間浸液させると約4.4 eVにまで減少する。一方、初期値浸液前は約88°である金電極接触角は、浸液直後から増加する。つまり、浸液時間が 10^3 sまでの短時間処理では、オクタデカンチオールが金電極表面に吸着するが、半導体と電極界面のショットキー障壁の原因となる金電極仕事関数の変化は0.2 eV以内に抑えることができる。仕事関数は、AC-2(理研計器製)等の光電子分光装置によって容易に測定できる。

【0024】

図9は、浸液時間に対して、オクタデカンチオール分子が電極表面に吸着していく様子を示した模式図である。浸透時間が短い場合は、オクタデカンチオール分子は寝た状態で疎に電極に吸着するが、浸透時間の増加に伴いオクタデカンチオール分子は立つ状態で密に電極に吸着するようになる。

【0025】

上記現象は、電極表面の和周波分光(SFG)スペクトルによって確認することができる。浸液時間が長くなる程、CH₂のピークがなくなりCH₃のピークが大きくなる。これは以下のことを示唆する。浸液時間が短いものは、表面に吸着している分子が少ないためアルキル鎖の自由度が大きく、アルキル鎖はゴーシュ欠陥を形成し、折れ曲がって比較的ランダムに配向する。電極への吸着量が増加し、分子の密度が大きくなるとアルキル鎖は相互作用によってゴーシュ欠陥をつくらず、鎖が直線的に伸び、CH₃が先端である角度で配向する。アルキルが直線的に伸びる場合、CH₂からは互いにダイポールをキャンセルするのでCH₂のピークがなくなる(CH₂(symmetric): 2850 cm⁻¹, CH₂(asymmetric): 2920 cm⁻¹, CH₃(Fermi resonance): 2935 cm⁻¹, CH₃

(asymmetric) : 2960 cm^{-1})。

【0026】

図10に、上記プロセスで作製した薄膜トランジスタの $V_{ds}-I_g$ 特性のオクタデカンチオール浸液時間依存性を示す。素子のチャネル長 L 、チャネル幅 W はそれぞれ $400\text{ }\mu\text{m}$ 、 2mm である。浸液時間 1min では、浸液前に比べて $V_g=-20\text{V}$ におけるオン電流が約50%増加し、 $V_g=5\text{V}$ におけるオフ電流が1桁減少する。浸液時間 1min では、チオール分子が図9(a)のように、電極に対して寝た状態で疎に吸着するため、電極と半導体との間にできる間隙は数Å程度である。ソース電極からチオール分子層をトンネリングして、数Å離れた半導体へ注入されたキャリアは、電極からの鏡像力の影響を受けにくくなるため、スムーズにドレイン電極に流れ込み、オン電流が増加する。上記、 $V_{ds}-I_g$ 特性とSFGの結果から、電極と半導体との間に 1Å 以上 10Å 以下の吸着層を形成することが、電極/半導体界面のコンタクト抵抗を低減するのに有効であることが分かった。浸液時間の増加に伴い、オン電流増加、及びオフ電流減少の効果が無くなり、浸液時間 1day の素子では、オン電流が2桁減少する。浸液時間 1day では、チオール分子が図9(c)のように、電極に対して立つ状態で密に吸着するため、電極と半導体との間にできる間隙は 23Å 程度になる。間隙が厚くなると、キャリアがソース電極からチオール分子層をトンネリングする際に大きなエネルギーが必要になり、ドレイン電極に到達する数が減少する。メチルチオール、エチルチオール、チオフェノールのように分子長が短いものは、図9(c)のように、電極に対して立つ状態で密に吸着させてもコンタクト抵抗を低減し、TFETの性能を向上させる効果があった。

【図面の簡単な説明】

【0027】

- 【図1】 本発明の一実施形態における薄膜トランジスタの断面構造である。
- 【図2】 ソースまたはドレイン電極とチャネルの境界近傍の表面形状である。
- 【図3】 コンタクト抵抗とゲート電圧の関係のテーパー幅依存性である。
- 【図4】 ソースまたはドレイン電極とチャネルの境界近傍の断面概略図である。
- 【図5】 本発明の一実施形態における薄膜トランジスタの断面構造である。
- 【図6】 本発明の一実施形態における薄膜トランジスタの断面構造である。
- 【図7】 本発明の一実施形態における薄膜トランジスタの断面構造である。
- 【図8】 金電極の仕事関数、及び接触角のチオール処理時間依存性である。
- 【図9】 ソース、及びドレイン電極に吸着したチオール分子の構造変化モデルである。

。【図10】 本発明の一実施形態における薄膜トランジスタの $I_{ds}-V_g$ 特性のチオール処理時間依存性である。

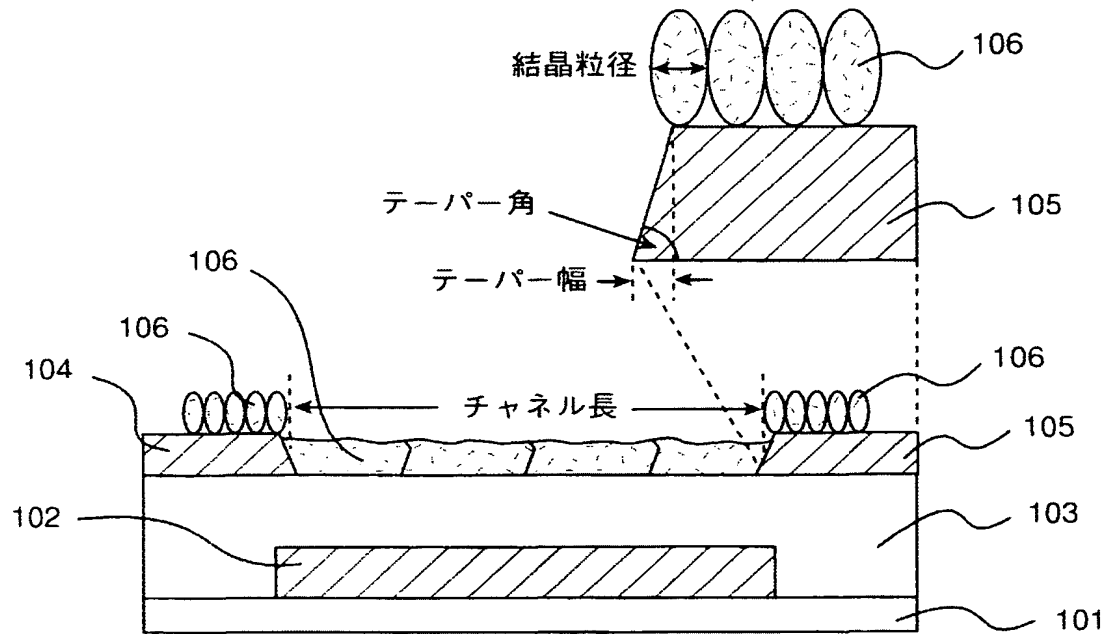
【符号の説明】

【0028】

101…絶縁基板、102…ゲート電極、103…ゲート絶縁膜、104…ソース電極、105…ドレイン電極、106…半導体層、501…撥水吸着分子層。

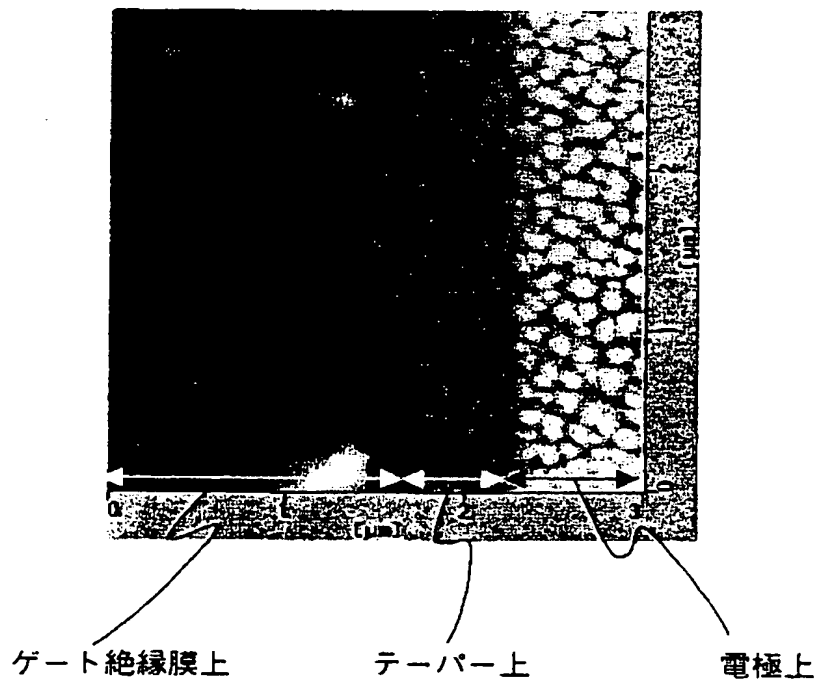
【書類名】 図面
【図 1】

圖 1



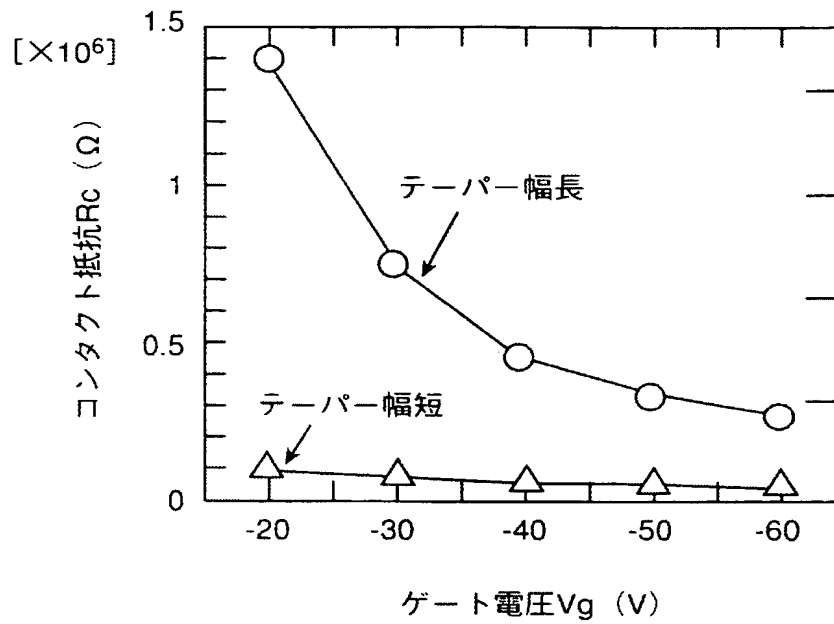
【図 2】

圖 2



【図 3】

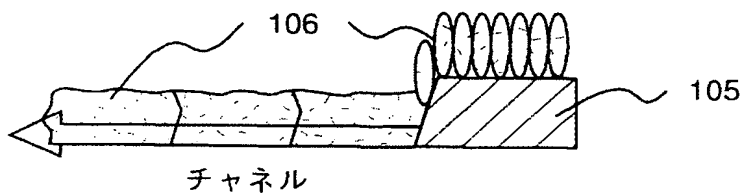
図 3



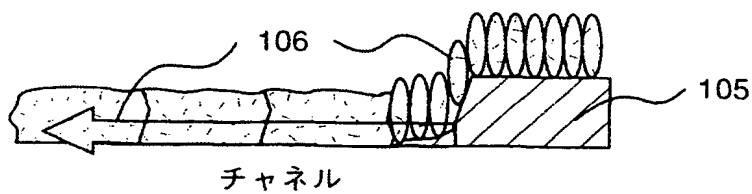
【図 4】

図 4

(a) テーパー幅短

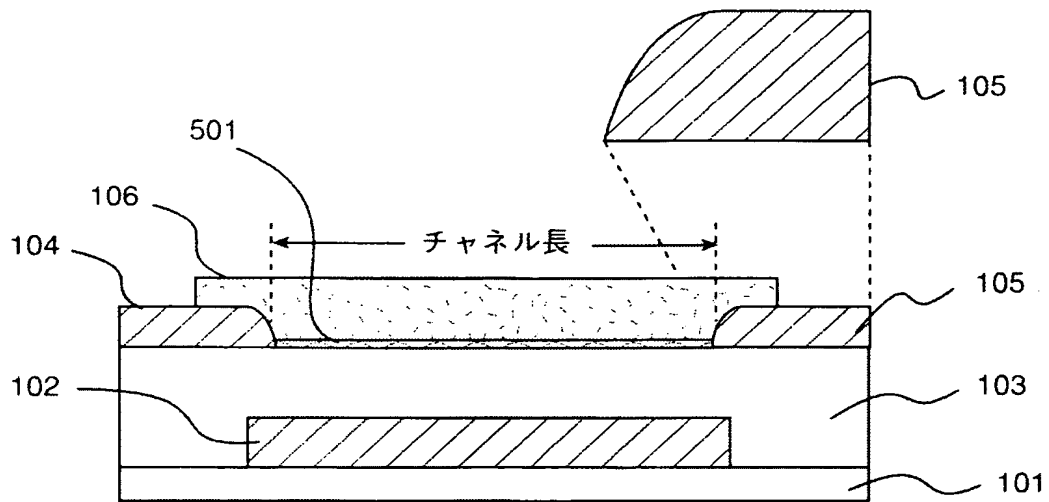


(b) テーパー幅長



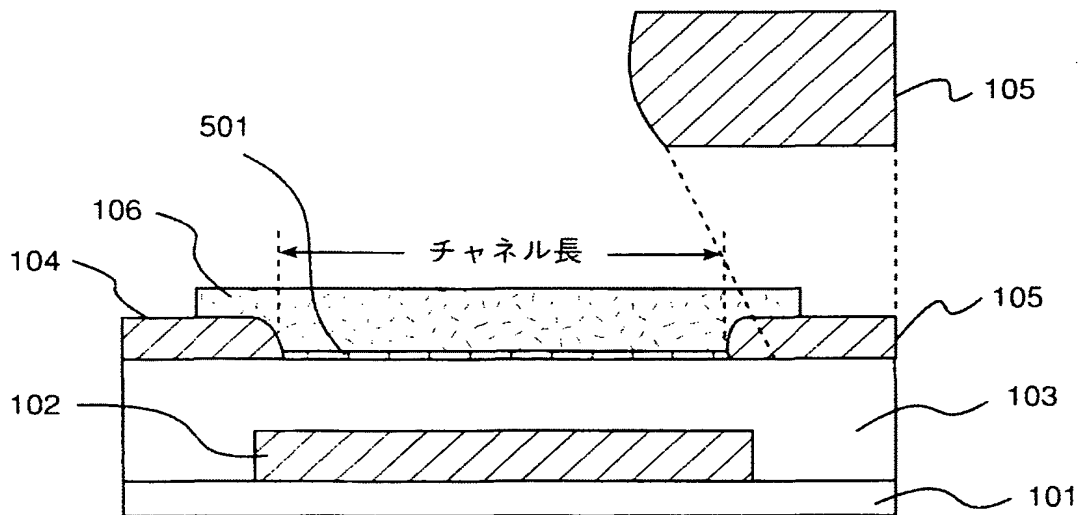
【図 5】

図 5



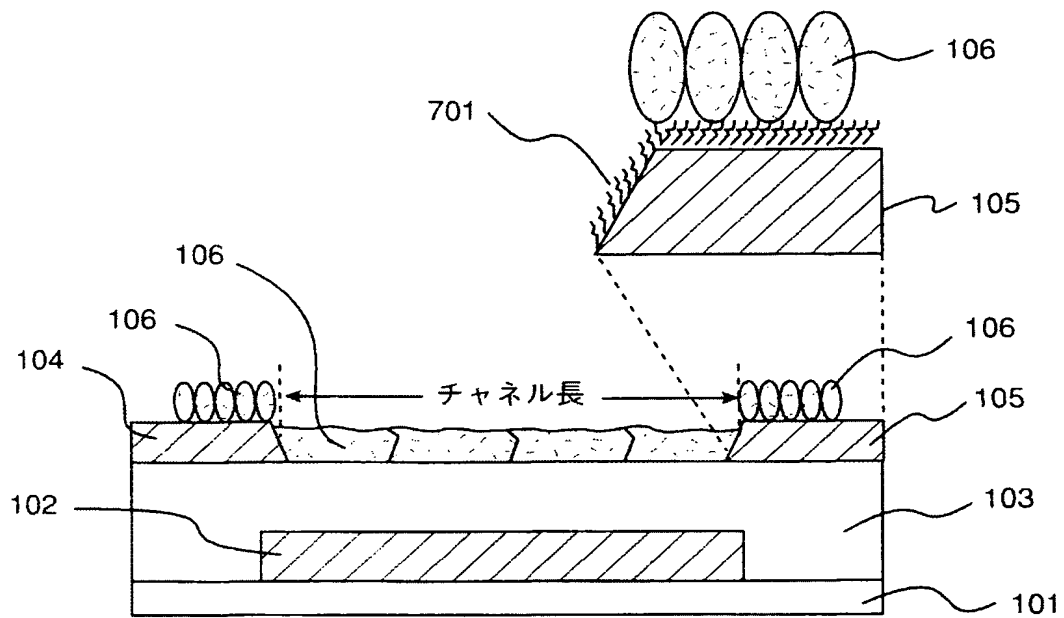
【図 6】

図 6



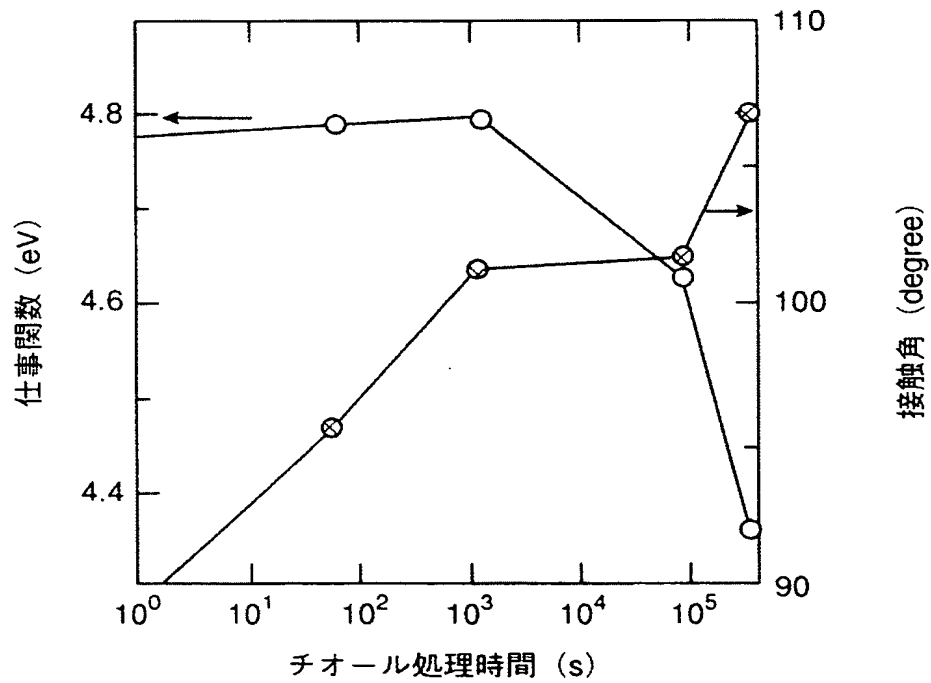
【図 7】

図 7



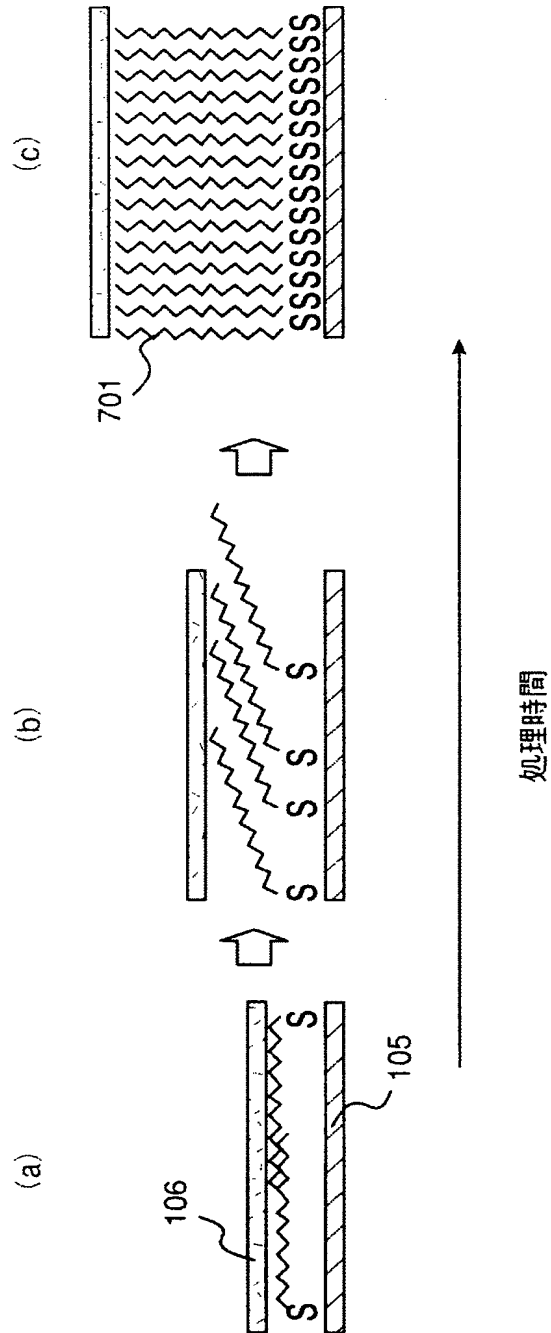
【図 8】

図 8



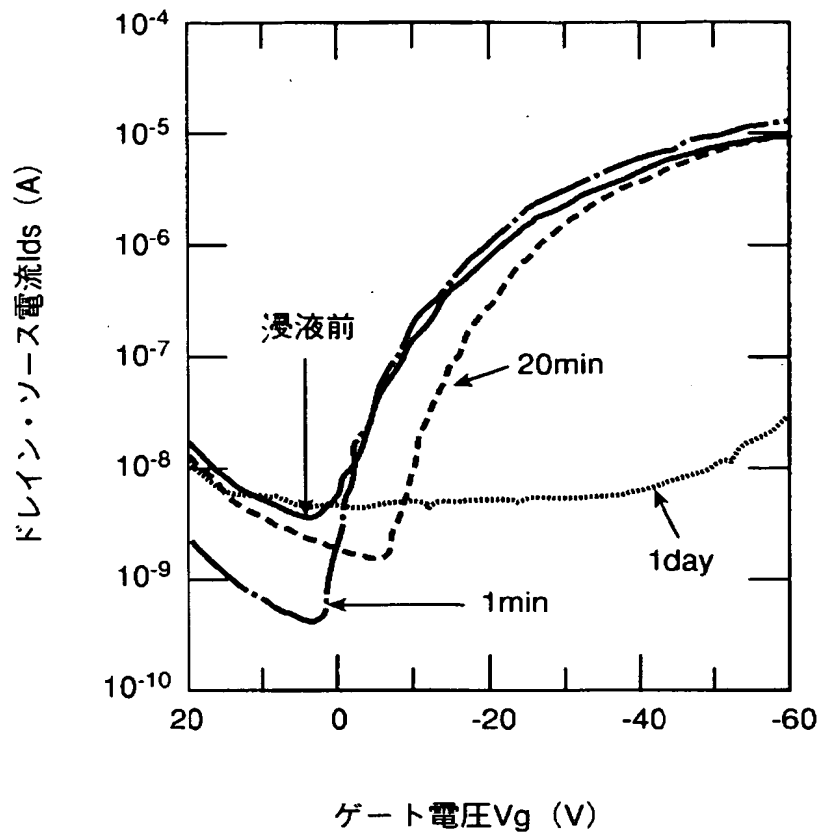
【図 9】

図 9



【図 10】

図 10



【書類名】 要約書**【要約】****【課題】**

スイッチング素子に、ボトムコンタクト型の有機 T F T を用いることにより、表示装置、I D タグ、センサー等の半導体装置の低コストで提供すること。

【解決手段】

ボトムコンタクト型有機 T F T の半導体層を多結晶材料で形成し、ソース・ドレイン電極のチャネル長方向におけるテーパー幅を、ソース・ドレイン電極上に成長する半導体結晶の平均粒径よりも短くする。または、ボトムコンタクト型有機 T F T のソース・ドレイン電極のチャネル側側面の形状を、基板面に対して上に凸型になるように形成する。または、ボトムコンタクト型有機 T F T のソース・ドレイン電極と半導体層との間には、前記半導体層とは異なる有機化合物層 1 \AA 以上 10 \AA 以下の厚さで介在させる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 2 1 8 7 0
受付番号	5 0 3 0 1 5 2 0 1 9 5
書類名	特許願
担当官	鈴木 夏生 6 8 9 0
作成日	平成 1 5 年 9 月 1 6 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 9 月 12 日

特願 2 0 0 3 - 3 2 1 8 7 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所